

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-256039
 (43)Date of publication of application : 01.10.1996

(51)Int.CI. H03H 11/46
 H03D 7/14
 H03F 3/45
 H03G 3/10

(21)Application number : 07- 057474 (71)Applicant : HITACHI LTD

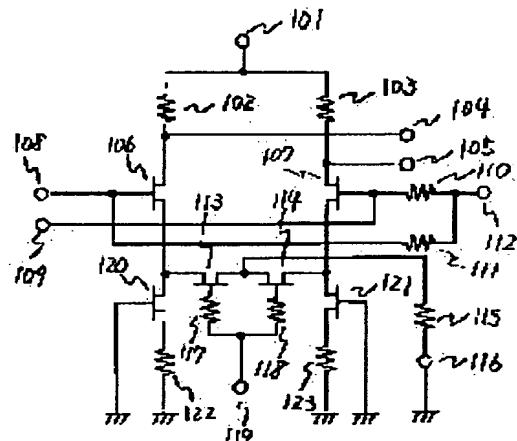
(22)Date of filing : 16.03.1995 (72)Inventor : ICHIKAWA KATSUHIDE
 NAGASHIMA TOSHIO

(54) VARIABLE RESISTOR CIRCUIT, GAIN CONTROL AMPLIFIER CIRCUIT AND FREQUENCY CONVERTING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the degradation of distortion characteristics at the time of gain control in the gain control amplifier circuit and the frequency converting circuit.

CONSTITUTION: In a differential amplifier circuit using field effect transistors 106 and 107 for control, the sources of two field effect transistors 113 and 114 for gain control to be inserted between the sources of transistors 106 and 107 are connected in common and a voltage terminal 116 is connected through a resistor 115 to the common connection point. By letting a DC current flow through the transistors 113 and 114 for gain control, the resistance value of a channel resistor between the drain and the source is stably changed to improve distortion characteristics.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-256039

(43)公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 03 H 11/46		8731-5 J	H 03 H 11/46	B
H 03 D 7/14			H 03 D 7/14	C
H 03 F 3/45			H 03 F 3/45	Z
H 03 G 3/10			H 03 G 3/10	B

審査請求 未請求 請求項の数4 O L (全7頁)

(21)出願番号 特願平7-57474

(22)出願日 平成7年(1995)3月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 市川 勝英

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72)発明者 長嶋 敏夫

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(74)代理人 弁理士 高田 幸彦

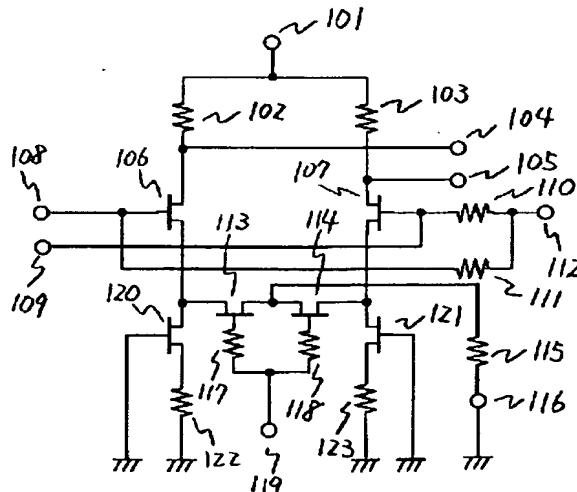
(54)【発明の名称】 可変抵抗回路及び利得制御増幅回路及び周波数変換回路

(57)【要約】

【目的】 利得制御増幅回路及び周波数変換回路において利得制御時の歪特性の劣化を少なくする。

【構成】 増幅用電界効果トランジスタ106, 107を用いた差動増幅回路において、トランジスタ106, 107のソース間に挿入する2つの利得制御用電界効果トランジスタ113, 114のソースを共通に接続すると共に該共通接続点に抵抗器115を介し電圧端子116を接続する。利得制御用トランジスタ113, 114に直流電流を流すことでドレイン・ソース間のチャネル抵抗の抵抗値が安定に変化し、歪特性が改善される。

図1



【特許請求の範囲】

【請求項1】第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースを共通に接続すると共にそれぞれのゲートを抵抗器を介して第1の電位点に接続し、該第1の電位点の電圧を変えることにより前記第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレイン間の抵抗値を変える可変抵抗回路において、

前記第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースの接続点を抵抗器を介して第2の電位点に接続したことを特徴とする可変抵抗回路。

【請求項2】等価電流源を共用する1組のトランジスタとそれぞれの負荷抵抗器を有する差動型増幅回路における前記負荷抵抗器とトランジスタとの接続部間に、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースを共通に接続すると共にそれぞれのゲートを抵抗器を介して第1の電位点に接続し、前記第1の電位点の電圧を変えることにより前記第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレイン間の抵抗値を変える可変抵抗回路を接続し、前記第2の電位点の電圧を変えることにより利得制御を行うようにしたことを特徴とする利得制御増幅回路。

【請求項3】ソースを共通に接続した第1及び第2の電界効果トランジスタと前記ソースの共通接続点に第3の電界効果トランジスタのドレインを接続した差動回路と、ソースを共通に接続した第4及び第5の電界効果トランジスタと前記ソースの共通接続点に第6の電界効果トランジスタのドレインを接続した差動回路の、前記第3の電界効果トランジスタのソースに第1の電流源を接続し、第6の電界効果トランジスタのソースに第2の電流源を接続し、第1の電界効果トランジスタのゲートと第4の電界効果トランジスタのゲートを共通に接続して第1の局部発振周波の入力端とし、第2の電界効果トランジスタのゲートと第3の電界効果トランジスタのゲートを共通に接続して第2の局部発振周波の入力端とし、第1の電界効果トランジスタのドレインと第3の電界効果トランジスタのドレインを接続して第1の中間周波出力端子とし、第2の電界効果トランジスタのドレインと第4の電界効果トランジスタのドレインを接続して第2の中間周波出力端子とし、第5の電界効果トランジスタのゲートを第1のRF周波の入力端とし、第6の電界効果トランジスタのゲートを第2のRF周波の入力端子とし、第5の電界効果トランジスタと第6の電界効果トランジスタのソース間に可変抵抗器を接続し、前記可変抵抗器により変換利得が制御可能なダブルバランス型周波数変換回路において、前記可変抵抗器に請求項1に記載した可変抵抗回路を用いたことを特徴とする周波数変換回路。

【請求項4】第1の電界効果トランジスタのドレインに負荷抵抗器を接続し、ソースに電流源を接続すると共

に、前記第1の電界効果トランジスタのソースに第2の電界効果トランジスタのドレインを接続すると共に、ソースを容量を介して高周波接地したソース接地増幅回路を構成し、前記第2の電界効果トランジスタのゲートに抵抗器を介して電圧を印加することにより利得制御を行う利得制御増幅回路において、前記第1の電界効果トランジスタのソースと前記容量の接続点に抵抗を介して電位端子を接続したことを特徴とする利得制御増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、衛星放送、衛星通信、セルラ電話などの移動体通信やCATVなどの受信機に用いられる高周波信号処理のための利得制御型差動増幅回路あるいは周波数変換回路とこれらに使用する可変抵抗回路に関する。

【0002】

【従来の技術】図4は、従来の利得制御型差動増幅回路の一例を示す回路図であり、401は電源電圧端子、402、403は負荷抵抗器、404、405は出力端子、406、409は入力端子、407、408はトランジスタ、410は利得制御用の電界効果トランジスタ、411は抵抗器、412は利得制御電圧端子、413、414は電流源トランジスタ、415、416は電流源トランジスタのパラツキ吸収抵抗器である。

【0003】この増幅回路は、入力端子406、409間に入力された信号を出力端子404、405間に送出する差動増幅回路であり、利得制御は、電界効果トランジスタ410に抵抗器411を介して接続した制御電圧端子412に印加する電圧の大きさを変えることにより、電界効果トランジスタ410のドレイン・ソース間のチャネル抵抗値を変えて増幅回路の帰還量を増減することで行っている。

【0004】図5は、従来の利得制御可能な周波数変換回路の一例を示す回路図であり、501、502は中間周波信号出力端子、503、504、505、506、509、510はトランジスタ、507、508は局部発振信号入力端子、511、512はRF信号入力端子、513は利得制御用トランジスタ、514は抵抗器、515は利得制御電圧端子、516、517は電流源トランジスタ、518、519はパラツキ吸収抵抗器である。

【0005】この周波数変換回路は、RF信号入力端子511、512間に入力されたRF信号を局部発振信号入力端子507、508間に入力された局部発振信号により中間周波信号に変換して中間周波信号出力端子501、502間に送出するダブルバランス構成の周波数変換回路である。また、変換利得は、利得制御用トランジスタ513に抵抗器514を介して接続した制御電圧端子515に印加する電圧の大きさを変えることにより、トランジスタ513のドレイン・ソース間のチャネル抵

抗値を変えて帰還量を増減することで行っている。

【0006】図6は、従来の利得制御型增幅回路の一例を示す回路図であり、601は電源電圧端子、602は負荷抵抗器、603、613はブリーダ抵抗器、604は出力端子、605はトランジスタ、606は入力端子、607は利得制御用トランジスタ、608は抵抗器、609は高周波接地用コンデンサ、610は利得制御電圧端子、611は電流源トランジスタ、612はバラツキ吸収トランジスタである。

【0007】この利得制御型增幅回路は、トランジスタ611のソースをトランジスタ607を介してコンデンサ609で高周波接地した構成のソース接地増幅回路であり、利得制御は、制御電圧端子610からトランジスタ607のゲートに印加する電圧の大きさを変えるにより、トランジスタ607のドレイン・ソース間のチャネル抵抗値を変えて増幅回路の帰還量を増減することで行っている。

【0008】

【発明が解決しようとする課題】このように、電界効果トランジスタのドレイン・ソース間のチャネル抵抗値の変化を利用した利得制御および変換利得制御方式では、チャネル抵抗値がゲート電圧に対して非直線的に変化するため、抵抗値が急激に変化する点で歪特性が劣化するという問題があった。

【0009】一例として、図4に示した利得制御型差動増幅回路の利得減衰量に対する2次歪特性と3次歪特性のシミュレーション結果を図7に示す。この特性曲線は、利得制御時に歪特性が急激に劣化する現象を明示している。

【0010】本発明の目的は、このような問題点を解決し、利得制御時に歪特性の劣化が少ない増幅回路および周波数変換回路を提供することにある。

【0011】

【課題を解決するための手段】本発明は、前記目的を達成するために、その1つの特徴は、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースを共通に接続すると共にそれぞれのゲートを抵抗器を介して第1の電位点に接続し、該第1の電位点の電圧を変えることにより前記第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレイン間の抵抗値を変える可変抵抗回路において、前記第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースの接続点を抵抗器を介して第2の電位点に接続したことにある。

【0012】本発明の他の特徴は、等価電流源を共用する1組のトランジスタとそれぞれの負荷抵抗器を有する差動型増幅回路における前記負荷抵抗器とトランジスタとの接続部間に、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースを共通に接続すると共にそれぞれのゲートを抵抗器を介して第1の電位

点に接続し、前記第1の電位点の電圧を変えることにより前記第1の電界効果トランジスタのドレインと第2の電界効果トランジスタのドレイン間の抵抗値を変える可変抵抗回路を接続し、前記第2の電位点の電圧を変えることにより利得制御を行うようにしたことにある。

【0013】本発明の更に他の特徴は、ソースを共通に接続した第1及び第2の電界効果トランジスタと前記ソースの共通接続点に第3の電界効果トランジスタのドレインを接続した差動回路と、ソースを共通に接続した第4及び第5の電界効果トランジスタと前記ソースの共通接続点に第6の電界効果トランジスタのドレインを接続した差動回路の、前記第3の電界効果トランジスタのソースに第1の電流源を接続し、第6の電界効果トランジスタのソースに第2の電流源を接続し、第1の電界効果トランジスタのゲートと第4の電界効果トランジスタのゲートを共通に接続して第1の局部発振周波の入力端とし、第2の電界効果トランジスタのゲートと第3の電界効果トランジスタのゲートを共通に接続して第2の局部発振周波の入力端とし、第1の電界効果トランジスタのドレインと第3の電界効果トランジスタのドレインを接続して第1の中間周波出力端子とし、第2の電界効果トランジスタのドレインと第4の電界効果トランジスタのドレインを接続して第2の中間周波出力端子とし、第5の電界効果トランジスタのゲートを第1のRF周波の入力端とし、第6の電界効果トランジスタのゲートを第2のRF周波の入力端子とし、第5の電界効果トランジスタと第6の電界効果トランジスタのソース間に可変抵抗器を接続し、前記可変抵抗器により変換利得が制御可能なダブルバランス型周波数変換回路において、前記可変抵抗器に請求項1に記載した可変抵抗回路を用いたことにある。

【0014】本発明の更に他の特徴は、第1の電界効果トランジスタのドレインに負荷抵抗器を接続し、ソースに電流源を接続すると共に、前記第1の電界効果トランジスタのソースに第2の電界効果トランジスタのドレインを接続すると共に、ソースを容量を介して高周波接地したソース接地増幅回路を構成し、前記第2の電界効果トランジスタのゲートに抵抗器を介して電圧を印加することにより利得制御を行う利得制御増幅回路において、前記第1の電界効果トランジスタのソースと前記容量の接続点に抵抗を介して電位端子を接続したことにある。

【0015】

【作用】本発明によれば、電界効果トランジスタに直流電流を流すことによりそのドレイン・ソース間のチャネル抵抗の抵抗値が急激に変化する点での歪特性の劣化を抑えると共に電流値の調整も可能としたことで制御時の歪特性の劣化が少ない抵抗回路、増幅回路あるいは周波数変換回路を得ることができる。

【0016】

【実施例】以下、本発明の実施例を図面を参照して説明

する。

【0017】図1は、本発明の第1の実施例を示す回路図である。図1において、101は電源端子、102、103は負荷抵抗器、104、105は出力端子、106、107は増幅用電界効果トランジスタ(FET)、108、109は差動信号入力端子、110、111、115、117、118は抵抗器、112はゲートバイアス端子、113、114は利得制御用電界効果トランジスタ(FET)、116は抵抗器115と共に前記利得制御用電界効果トランジスタ113、114に流す電流を調整するための電圧端子、119は利得制御電圧端子、120、121は電流源用電界効果トランジスタ(FET)、122、123は前記電流源用電界効果トランジスタ120、121のバラツキ吸収用抵抗器である。

【0018】以上の回路素子で構成されるこの増幅回路は、差動信号入力端子108、109間に入力された信号を増幅用電界効果トランジスタ106、107により増幅して出力端子104、105から出力電圧を取り出すことができる差動型増幅回路であり、利得制御電圧端子119に印加する電圧により利得制御用電界効果トランジスタ113、114のドレイン・ソース間のチャネル抵抗値を変化させて利得制御を行うものである。

【0019】そして、このように2つの利得制御用電界効果トランジスタ113、114を用い、それぞれのソースを共通に接続すると共にその共通接続点を抵抗器115及び電圧端子116を介し接地することにより該利得制御用電界効果トランジスタ113、114に直流電流を流して該利得制御用電界効果トランジスタ113、114のドレイン・ソース間のチャネル抵抗の値が急激に変化する点を避けた動作領域にすることで、歪特性の劣化を抑えることができ、更に、抵抗器115の抵抗値を適当に選ぶことにより利得制御時に歪特性の劣化が少ない増幅回路を得ることができる。

【0020】図2は、本発明の第2の実施例を示す回路図である。図2において、201は電源端子、202、203は負荷抵抗器、204、205は中間周波信号出力端子、206、207、208、209、215、216は電界効果トランジスタ、210、211は局部発振信号入力端子、212、213、219、220、224、226、227は抵抗器、214、221はゲートバイアス端子、217、218はRF信号入力端子、222、223は利得制御用電界効果トランジスタ、225は抵抗器224と共に利得制御用電界効果トランジスタ222、223に流す電流を調整するための電圧端子、228は利得制御電圧端子、229、230は電流源用電界効果トランジスタ、231、232は電流源用電界効果トランジスタ229、230のバラツキ吸収用抵抗器である。

【0021】以上の回路素子で構成されるこの利得制御

10 周波数変換回路はダブルバランス構成であり、RF信号入力端子217、218間に入力したRF信号と局部発振信号入力端子210、211間に入力された局部発振信号に基づいて中間周波信号を出力端子204、205に出力する。また、変換利得制御は、変換利得制御電圧端子228に印加する電圧により変換利得制御用電界効果トランジスタ222、223のドレイン・ソース間のチャネル抵抗値を変化させることにより行う。

【0022】そして、このように2つの変換利得制御用電界効果トランジスタ222、223を用い、それぞれのソースを共通に接続すると共にその共通接続点を抵抗器224及び電圧端子225を介して接地することにより該変換利得制御用電界効果トランジスタ222、223に直流電流を流して該変換利得制御用電界効果トランジスタ222、223のドレイン・ソース間のチャネル抵抗の値が急激に変化する点を避けた動作領域にすることで、歪特性の劣化を抑えることができ、更に、抵抗器224の抵抗値を適当に選ぶことにより変換利得制御時に歪特性の劣化が少ないと周波数変換回路を得ることができる。

20 【0023】図3は、本発明の第3の実施例を示す回路図である。図3において、301は電源端子、302は負荷抵抗器、303は出力端子、304は増幅用電界効果トランジスタ、305は利得制御用電界効果トランジスタ、306、309は抵抗器、307は利得制御電圧端子、308は高周波接地コンデンサ、310は抵抗器309と共に前記利得制御用電界効果トランジスタ305に流す電流を調整するための電圧端子、311は電流源用電界効果トランジスタ、312は電流源用電界効果トランジスタ311のバラツキ吸収用抵抗器、313、314はブリーダ抵抗器、315は入力端子である。

30 【0024】以上の回路素子によって構成されるこの利得制御型ソース接地増幅回路は、利得制御用電界効果トランジスタ305のチャネル抵抗により帰還量を可変して利得制御を行うものであり、抵抗器309及び電圧端子310を介して構成した接地回路により利得制御用電界効果トランジスタ305に直流電流を流すことで該利得制御用電界効果トランジスタ305のドレイン・ソース間のチャネル抵抗の値が急激に変化する点を避けた動作領域にすることで、歪特性の劣化を抑えることができ、更に抵抗器309の抵抗値を適当に選ぶことにより利得制御時に歪特性の劣化がない増幅回路を得ることができる。

40 【0025】以上のように、本発明になる各実施例は、利得制御用電界効果トランジスタ113、114、222、223、305のドレイン・ソース間のチャネル抵抗を利用して利得制御回路において、該利得制御用電界効果トランジスタに抵抗器115、224、309を介して直流電流を流すことにより該変換利得制御用トランジスタのドレイン・ソース間のチャネル抵抗の抵抗値が

急速に変化する点を避けた動作領域にすることで、歪特性の劣化を抑えることができ、利得制御時に歪特性の劣化が少ない増幅回路を得ることができる。この効果の例として、図8に図1及び図4の差動型利得制御増幅回路の制御電圧に対する歪特性を、図9に図2及び図5の利得制御周波数変換回路の制御電圧に対する歪特性を、図10に図3及び図6の増幅回路の制御電圧に対する歪特性のシミュレーション結果を示す。各図の特性において、利得制御用電界効果トランジスタに直流電流を流すことにより歪特性の劣化を抑えることができ、利得制御時に歪特性の劣化が少ない増幅回路あるいは周波数変換回路が得られることが分かる。

【0026】そして、この電界効果トランジスタと該電界効果トランジスタに直流電流を流してチャンネル抵抗値を安定させる基本回路は、可変抵抗回路として各種の回路網に適用することができる。

【0027】

【発明の効果】以上のように、本発明は、電界効果トランジスタのドレイン・ソース間のチャネル抵抗を利用した各種の回路構成において、該電界効果トランジスタに抵抗器を介して直流電流を流すことにより該電界効果トランジスタのドレイン・ソース間のチャネル抵抗の抵抗値が急速に変化する点を避けた領域で動作させるようにしたので、歪特性の劣化を抑えることができる。

【0028】また、この回路手段を、差動型利得制御増幅回路の利得制御用の可変抵抗回路に使用し、または、利得制御周波数変換回路の変換利得制御用の可変抵抗回路に使用し、あるいは、利得制御型ソース接地増幅回路の利得制御用の可変抵抗回路に使用することにより、歪特性の劣化を抑えることができ、利得制御時に歪特性の

*劣化がない増幅回路あるいは周波数変換回路が得られる。

【図面の簡単な説明】

【図1】本発明になる差動型利得制御増幅回路の回路図である。

【図2】本発明になる利得制御周波数変換回路の回路図である。

【図3】本発明になる利得制御型ソース接地増幅回路の回路図である。

10 【図4】従来の差動型利得制御増幅回路の一例を示す回路図である。

【図5】従来の周波数変換回路の一例を示す回路図である。

【図6】従来の利得制御型ソース接地増幅回路の一例を示す回路図である。

【図7】従来の差動型利得制御増幅回路の歪特性を示す図である。

【図8】従来の差動型利得制御増幅回路と本発明になる差動型利得制御増幅回路の歪特性の違いを示す特性図である。

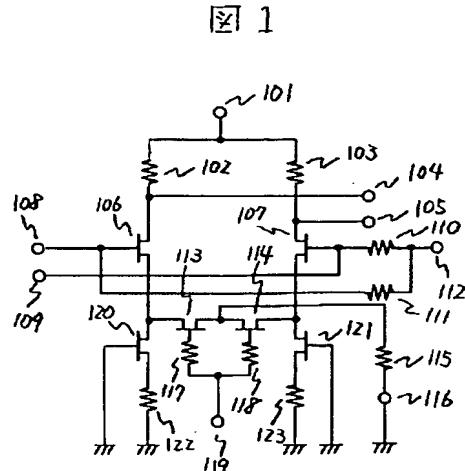
20 【図9】従来の利得制御周波数変換回路と本発明になる利得制御周波数変換回路の歪特性の違いを示す特性図である。

【図10】従来の利得制御型ソース接地増幅回路と本発明になる利得制御型ソース接地増幅回路の歪特性の違いを示す特性図である。

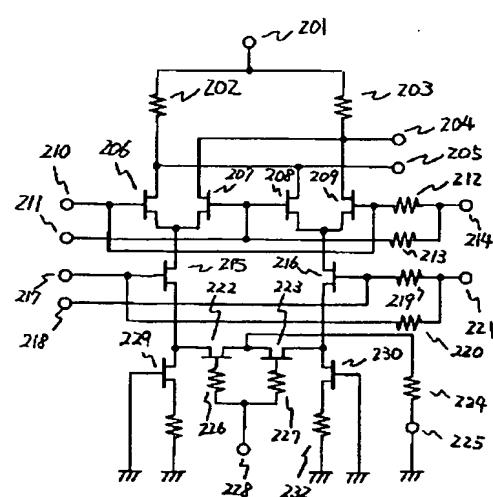
【符号の説明】

106, 107…増幅用電界効果トランジスタ、113, 114…利得制御用電界効果トランジスタ、115…抵抗器、116…電圧端子。

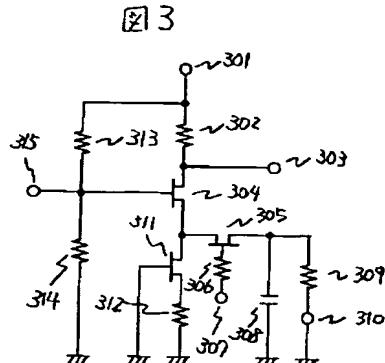
【図1】



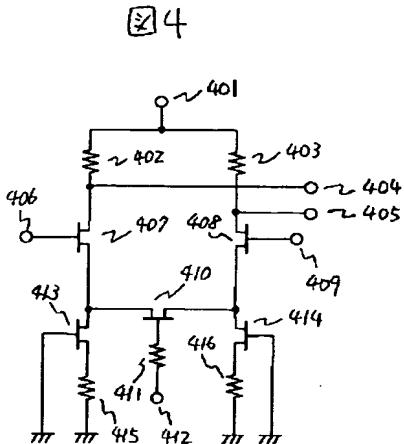
【図2】



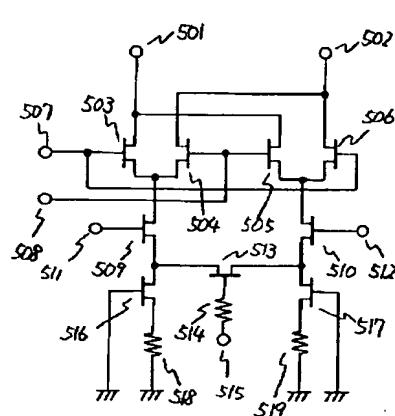
【図3】



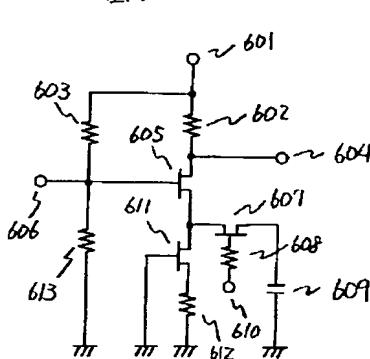
【図4】



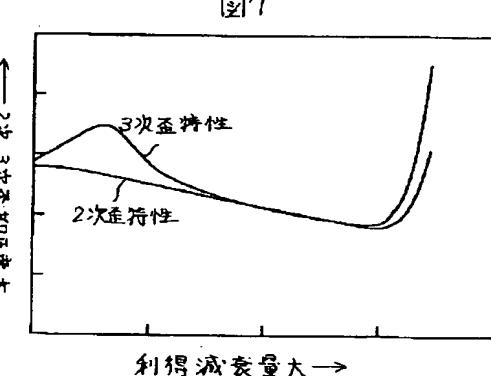
【図5】



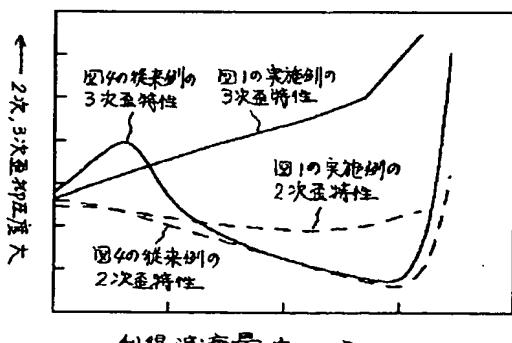
【図6】



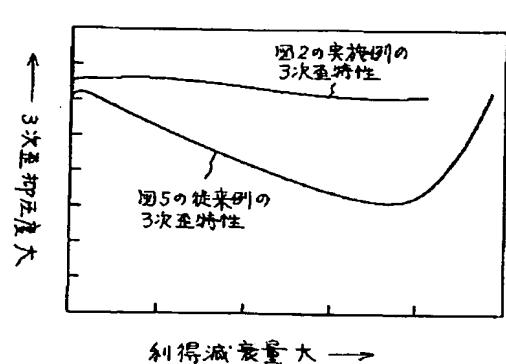
【図7】



【図8】



【図9】



【図10】

図10

